

2/9/1

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

06427659 **Image available**
PLL CIRCUIT

PUB. NO.: 2000-013222 A]
PUBLISHED: January 14, 2000 (20000114)
INVENTOR(s): AOKI HIROYUKI
APPLICANT(s): NEC IC MICROCOMPUT SYST LTD
APPL. NO.: 10-171087 [JP 98171087]
FILED: June 18, 1998 (19980618)
INTL CLASS: H03L-007/113; H03L-007/085; H03L-007/087

ABSTRACT

PROBLEM TO BE SOLVED: To reduce a lock time, to decrease jitter and to prevent the hardware scale from being increased.

SOLUTION: The PLL circuit is provided with a phase comparator circuit 11 that compares a phase of a reference signal R with a phase of a feedback signal D to provide comparison signals UP1, DN1, a phase comparator circuit 1A that compares a phase of a multiplied reference signal RM with that of an intermediate feedback signal DM to provide an output of comparison signals UP2, DN2, charge pump circuits 12, 2A that convert the signals UP1, DN1, and UP2/DN2 respectively into charge pump signals PC1, PC2, a low pass filter LPF 3 that sums and integrates the signals PC1, PC2 to provide an output of a control signal CO, a voltage controlled oscillator VCO 4 that provides an output of an oscillation signal PO whose frequency is controlled by the signal CO, a frequency divider circuit 5A that frequency-divides the signal PO and provides an output of signals D, DM, and a multiplier circuit 6 that multiplies a signal R and provides an output of a multiplied reference signal RM.

COPYRIGHT: (C) 2000, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-13222

(P2000-13222A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl.⁷

識別記号

F I

テマコード(参考)

H 0 3 L 7/113
7/085
7/087H 0 3 L 7/10
7/08B 5 J 0 6 0
A
P

審査請求 有 請求項の数 9 O L (全 12 頁)

(21)出願番号 特願平10-171087

(22)出願日 平成10年6月18日(1998.6.18)

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会
社神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 青木 博行

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

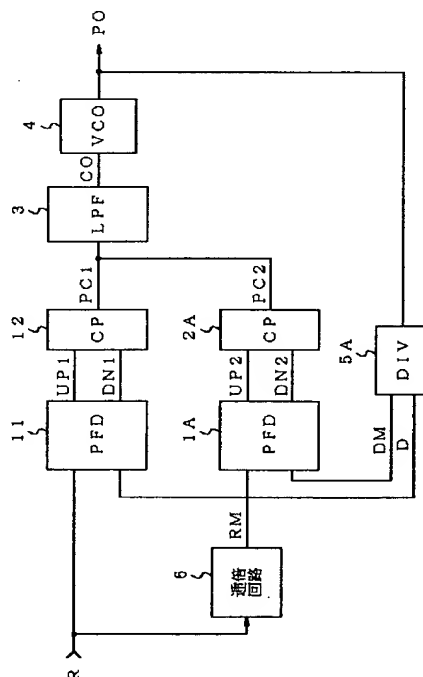
最終頁に続く

(54)【発明の名称】 PLL回路

(57)【要約】

【課題】ロック時間を短縮すると共にジッタを低減し、さらにハードウェア規模の増大を抑制する。

【解決手段】基準信号Rと帰還信号Dの位相を比較して比較信号UP1/DN1を出力する位相比較回路11と、通倍基準信号RMと中間帰還信号DMの位相を比較して比較信号UP2/DN2を出力する位相比較回路1Aと、信号UP1/DN1、UP2/DN2をそれぞれチャージポンプ信号PC1、PC2に変換するチャージポンプ回路12、2Aと、信号PC1、PC2を加算及び積分して制御信号COを出力するLPF3と、信号COに応じて周波数が制御され発振信号POを出力するVCO4と、信号POを分周し信号D、DMを出力する分周回路5Aと、信号Rを通倍し通倍基準信号RMを出力する通倍回路6とを備える。



【特許請求の範囲】

【請求項1】 基準信号と発振信号を第1の分周比で分周した第1の帰還信号の位相とを比較してこれら両者の位相差である第1の位相差に応じた第1の比較信号を出力する第1の位相比較手段と、

前記基準信号を所定数倍に通倍した通倍基準信号と前記発振信号を前記第1の分周比より小さい第2の分周比で分周し前記通倍基準信号とほぼ同一周波数の第2の帰還信号の位相とを比較してこれら両者の位相差である第2の位相差に応じた第2の比較信号を出力する第2の位相比較手段と、

前記第1の比較信号をそのレベル及び極性に応じた第1の直流信号に変換する第1の直流変換手段と、

前記第2の比較信号をそのレベル及び極性に応じた第2の直流信号に変換する第2の直流変換手段と、

前記第1及び第2の直流信号を加算及び積分して発振制御信号を出力する加算積分手段と、

前記発振制御信号のレベルに応じて発振周波数が制御され前記発振信号を出力する電圧制御発振回路と、

前記発振信号を前記第1及び第2の分周比でそれぞれ分周して前記第1及び第2の帰還信号を出力する分周手段と、

前記基準信号を通倍して前記通倍基準信号を出力する通倍手段とを備えることを特徴とするPLL回路。

【請求項2】 前記第1の位相比較手段の第1の位相差の不感帯が前記第2の位相比較手段の第2の位相差の不感帯より大きく設定されていることを特徴とする請求項1記載のPLL回路。

【請求項3】 前記第1及び第2の位相比較手段が、前記第1及び第2の比較信号として前記第1及び第2の位相差の各々にそれぞれ対応する第1及び第2のパルス幅を持ち前記第1及び第2の位相差の各々の極性の正負に対応する第1及び第2の正極性比較信号及び負極性比較信号をそれぞれ出力することを特徴とする請求項1記載のPLL回路。

【請求項4】 前記第1の位相比較手段が、一方の入力に前記基準信号の他方の入力に第1の信号の各々の供給を受ける2入力の第1のNAND回路と、

相互に入力の一方を他方の論理回路出力とたすき掛け接続し入力他方に前記第1のNAND回路の出力及び第2の信号の各々を入力する2入力の第2、第3のNAND回路と、

一方の入力に前記帰還信号の他方の入力に第3の信号の各々の供給を受ける2入力の第6のNAND回路と、

相互に入力の一方を他方の論理回路出力とたすき掛け接続し入力他方に前記第6のNAND回路の出力及び前記第2の信号の各々を入力する2入力の第5、第4のNAND回路と、

前記第1のNAND回路A1の出力を遅延する第1の遅延回路と、

前記第6のNAND回路の出力を遅延する第2の遅延回路と、

前記第1の遅延回路の出力と前記第2のNAND回路の出力と前記第2の信号とを入力とし前記第1の信号を出力する3入力の第7のNAND回路と、

前記第2の遅延回路の出力と前記第5のNAND回路の出力と前記第2の信号とを入力とし前記第3の信号を出力する3入力の第8のNAND回路と、

前記第1、第2、第5、第6のNAND回路の出力を入力とし前記第2の信号を出力する4入力の第9のNAND回路と、

前記第1の信号を2回反転して正極性比較信号を出力する直列接続した第1及び第2のインバータと、

前記第3の信号を反転して負極性比較信号を出力する第3のインバータとを備えることを特徴とする請求項1記載のPLL回路。

【請求項5】 前記第1の位相比較手段が、一方の入力に前記基準信号の他方の入力に第1の信号の各々の供給を受ける2入力の第1のNAND回路と、

相互に入力の一方を他方の論理回路出力とたすき掛け接続し入力他方に前記第1のNAND回路の出力及び第2の信号の各々を入力する2入力の第2、第3のNAND回路と、

一方の入力に前記帰還信号の他方の入力に第3の信号の各々の供給を受ける2入力の第6のNAND回路と、

相互に入力の一方を他方の論理回路出力とたすき掛け接続し入力他方に前記第6のNAND回路の出力及び前記第2の信号の各々を入力する2入力の第5、第4のNAND回路と、

前記第1及び第2のNAND回路の出力と前記第2の信号とを入力とし前記第1の信号を出力する3入力の第7のNAND回路と、

前記第2及び第5のNAND回路の出力と前記第2の信号とを入力とし前記第3の信号を出力する3入力の第8のNAND回路と、

前記第1、第2、第5、第6のNAND回路の出力を入力とする4入力の第9のNAND回路と、

前記第9のNAND回路の出力を遅延し前記第2の信号を出力する遅延回路と、

前記第1の信号を2回反転して正極性比較信号を出力する直列接続した第1及び第2のインバータと、

前記第3の信号を反転して負極性比較信号を出力する第3のインバータとを備えることを特徴とする請求項1記載のPLL回路。

【請求項6】 前記第1の直流変換手段の前記第1の比較信号のレベルに応じて発生する前記第1の直流信号に対する第1の変換感度が前記第2の直流変換手段の前記第2の比較信号のレベルに応じて発生する前記第2の直流信号に対する第2の変換感度より大きく設定されていることを特徴とする請求項1記載のPLL回路。

【請求項 7】 基準信号と発振信号を第 1 の分周比で分周した第 1 の帰還信号の位相とを比較してこれら両者の位相差である第 1 の位相差に応じた第 1 の比較信号を出力する第 1 の位相比較手段と、

前記基準信号を所定数倍に通倍した通倍基準信号と前記発振信号を前記第 1 の分周比より小さい第 2 の分周比で分周し前記通倍基準信号とほぼ同一周波数の第 2 の帰還信号の位相とを比較してこれら両者の位相差である第 2 の位相差に応じた第 2 の比較信号を出力する第 2 の位相比較手段と、

前記第 1 の比較信号をそのレベル及び極性に応じた第 1 の直流信号に変換する第 1 の直流変換手段と、

前記第 2 の比較信号をそのレベル及び極性に応じた第 2 の直流信号に変換する第 2 の直流変換手段とを備える PLL 回路において、

前記第 1 及び第 2 の位相比較手段が、前記第 1 及び第 2 の比較信号として前記第 1 及び第 2 の位相差の各々にそれぞれ対応する第 1 及び第 2 のパルス幅を持ち前記第 1 及び第 2 の位相差の各々の極性の正負に対応する第 1 及び第 2 の正極性比較信号及び負極性比較信号をそれぞれ出力し、

前記第 1 の直流変換手段が、前記第 1 の正又は負極性比較信号の供給にตอบสนองして第 1 の正又は負極性のチャージポンプ信号を出力し、

前記第 2 の直流変換手段が、前記第 2 の正又は負極性比較信号の供給にตอบสนองして第 2 の正又は負極性のチャージポンプ信号を出力することを特徴とする PLL 回路。

【請求項 8】 前記第 1 の直流変換手段が、ソースを第 1 の電源に接続しゲートに前記第 1 の正極性比較信号の供給を受ける P チャネル型の第 1 のトランジスタと、ドレインを前記第 1 のトランジスタのドレインにソースを第 2 の電源にそれぞれ接続しゲートに前記第 1 の負極性比較信号の供給を受け前記第 1 のトランジスタ P11 と同一サイズの N チャネル型の第 2 のトランジスタとを備え、これら第 1 及び第 2 のトランジスタのドレイン共通接続点から前記第 1 のチャージポンプ信号を出力し、前記第 2 の直流変換手段が、ソースを第 1 の電源に接続しゲートに前記第 2 の正極性比較信号の供給を受けサイズが前記第 1 のトランジスタより小さい P チャネル型の第 3 のトランジスタと、

ドレインを前記第 3 のトランジスタのドレインにソースを第 2 の電源にそれぞれ接続しゲートに前記第 2 の負極性比較信号の供給を受け前記第 3 のトランジスタと同一サイズの N チャネル型の第 4 のトランジスタとを備え、これら第 3 及び第 4 のトランジスタのドレイン共通接続点から前記第 2 のチャージポンプ信号を出力することを特徴とする請求項 7 記載の PLL 回路。

【請求項 9】 前記第 1 及び第 2 の直流変換手段が、ゲートに前記第 1 の正極性比較信号の供給を受ける P チャネル型の第 1 のトランジスタと、

ドレインを前記第 1 のトランジスタのドレインに接続しゲートに前記第 1 の負極性比較信号の供給を受け前記第 1 のトランジスタ P11 と同一サイズの N チャネル型の第 2 のトランジスタと、

ゲートに前記第 2 の正極性比較信号の供給を受けサイズが前記第 1 のトランジスタより小さい P チャネル型の第 3 のトランジスタと、

ドレインを前記第 3 のトランジスタのドレインに接続しゲートに前記第 2 の負極性比較信号の供給を受け前記第 3 のトランジスタと同一サイズの N チャネル型の第 4 のトランジスタと、

ソースを第 2 の電源に接続しゲートに制御電圧の供給を受ける N チャネル型の第 5 のトランジスタと、

ソースを第 2 の電源にドレインを前記第 2、第 4 のトランジスタの各々のソースにそれぞれ接続しゲートに前記制御電圧の供給を受ける N チャネル型の第 6 のトランジスタと、

ソースを第 1 の電源にドレインをゲートと前記第 5 のトランジスタのドレインにそれぞれ接続した P チャネル型の第 7 のトランジスタと、

ソースを前記第 1 の電源にドレインを前記第 1、第 2 のトランジスタの各々のソースにゲートを前記第 7 のトランジスタのゲートにそれぞれ接続した P チャネル型の第 8 のトランジスタとを備え、

前記第 1～第 4 のトランジスタの各々のドレイン共通接続点から前記第 1、第 2 のチャージポンプ信号を出力することを特徴とする請求項 7 記載の PLL 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は PLL 回路に関し、特にマイクロプロセッサ等のクロック生成用に好適な高速ロック低ジッタ性能の PLL 回路に関する。

【0002】

【従来の技術】 一般的な従来の第 1 の PLL 回路をブロックで示す図 11 を参照すると、この従来の第 1 の PLL 回路は、入力された基準信号 R と発振信号 PO を分周した帰還信号 D とを位相周波数比較し比較結果に対応する比較信号 UP/DN を出力する位相比較回路 (PFD) 1 と、比較信号 UP/DN の供給にตอบสนองして対応する直流信号であるチャージポンプ信号 PC を出力するチャージポンプ回路 (CP) 2 と、チャージポンプ信号 PC を平滑化して不要高周波成分を除去するとともに所定のループ時定数を与えた発振制御信号 CO を出力する低域通過フィルタ (LPF) 3 と、発振制御信号 CO により周波数が制御され発振信号 PO を出力する電圧制御発振器 (VCO) 4 と、発振信号 PO を所定分周比 N で分周し帰還信号 D を出力する分周回路 (DIV) 5 とを備える。

【0003】 次に、図 11 及び各部波形をタイムチャートで示す図 12 を参照して、従来の第 1 の PLL 回路の

動作について説明すると、位相比較回路1は、入力端子を経由して入力した基準信号Rと分周回路5で出力発振信号POを分周した帰還信号Dとの供給を受け、これら信号RとDとの位相・周波数を比較する。基準信号Rに対して帰還信号Dの位相が進んでいる（周波数が高い）ときは位相差に比例したパルス幅の比較信号DNを出力し、反対に帰還信号Dの位相が遅れている（周波数が低い）場合は位相差に比例したパルス幅の比較信号UPを出力する。

【0004】チャージポンプ回路2は、供給を受けた比較信号がUPの場合は正の、DNの場合は負のそれぞれのパルス幅に対応する電圧のチャージポンプ信号PCを出力する。

【0005】LPF3は、チャージポンプ信号PCを平滑化し、また、PLL回路全体のループ応答を適切に設定して、発振制御信号COを生成する。

【0006】VCO4は、発振制御信号COの大きさに応じた発振周波数で発振し、発振信号POを出力する。

【0007】分周回路5は、発振信号POを所定分周比Nで分周し帰還信号Dを生成して、位相比較回路1に供給する。

【0008】このように、従来の第1のPLL回路は、位相比較回路1とチャージポンプ回路2とをそれぞれ1個ずつ搭載していた。

【0009】しかしながら、一般に、PLL回路では、ロック後も、電源や接地の各電位に含まれるノイズ、LPFのリーク等によりチャージポンプ信号PCが変化してしまい、VCOの発振周波数の変化や、位相の進み／遅れが生じてしまう。この場合の微小な変化に対しても十分追従可能とし、出力周波數位相を補正するため、位相比較回路1は不感帯（デッドゾーン）を小さく、チャージポンプ回路の入力パルス幅に対する出力電圧特性すなわち相互コンダクタンス（gm）を小さくしている。

【0010】この場合の基準信号Rと帰還信号Dと比較信号UP及びチャージポンプ信号PCの関係をタイムチャートで示す図12を再度参照すると、この図12は、いずれも帰還信号Dの位相が進んでいる場合の例であり、（A）はロック前の位相差が大きい場合でA点はその場合のチャージポンプ信号PCを、（B）は位相差が小さい場合でB点はその場合のチャージポンプ信号PCをそれぞれ示す。A点とB点とを比較すると、ロック前の位相差が大きい場合と小さい場合では、チャージポンプ信号PCの大きさが殆ど変わらず、したがって、制御信号の変化も非常に小さいのでロックまでの時間が長くなってしまふ。この状態で、チャージポンプ回路2のgmを大きくすると、入力パルス毎のチャージポンプ信号PCの大きさは大きくなるため、ロック時間は短くなるが、ロック後の微小な補正が出来ず、出力発振信号POのジッタが大きくなってしまふ。

【0011】近年のマイクロプロセッサ用のPLL回路

では、動作クロックの高周波数化に伴い、ジッタの一層の低減が要求されており、この対策としてチャージポンプ回路のgmを小さくしている。このためロック時間はさらに長くなるという結果になってしまふ。このようなロック時間の短縮とジッタの低減という相反する事項を解決するため、例えば、特開平9-93122号公報

（文献1）記載の従来の第2のPLL回路は、入力基準信号と帰還信号の位相及び周波数を比較して、位相差が所定の値より大きく、周波数差が所定の値以下と判定すると、チャージポンプ回路の動作を停止させる。

【0012】従来の第2のPLL回路を図11と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図13を参照すると、この図に示す従来の第2のPLL回路の従来の第1のPLL回路との相違点は、分周回路5Aの前段のプリスケアラ51の出力信号であるプリスケアラ信号PFと分周基準信号RDとの比較を行い比較信号FHを出力する周波数比較部101と、基準信号Rと帰還信号Dとの比較を行い比較信号FQを出力する周波数比較部101と、比較信号FHから周波数差DHを検出する周波数差検出部103と、比較信号FQから周波数差DQを検出する周波数差検出部104と、基準信号Rを分周して分周基準信号RDを出力する基準分周器105と、周波数差DH、DQが所定値より小さく位相比較器1の出力の比較信号UP/DNが所定値より大きい場合にチャージポンプ回路2の動作を停止させる判定信号CHを出力する判定制御回路106とを備えることである。

【0013】この従来の第2のPLL回路は、チャージポンプ回路制御用の周波数比較部101、102や周波数差判定部103、104及び判定制御部106等が新たに必要であり、ハードウェア規模が大きくなる。

【0014】また、ジッタについては、入力基準信号を逡倍せずに分周しているためジッタが大きくなる。

【0015】また、ジッタを低減し高精度化を図った、特開平9-289446号公報（文献2）記載の従来の第3のPLL回路は、比較的デッドゾーンの大きい従って安価な位相比較回路を2個用い、そのうちの1個の入力信号を両者の不感帯が重ならないよう一定時間遅延させ並列使用し、これら両者の出力比較信号を加算積分してVCOの制御信号を生成するというものである。

【0016】この従来の第3のPLL回路は、ジッタは低減できるが、ロック時間の短縮については特に考慮していない。

【0017】

【発明が解決しようとする課題】上述した従来の第1のPLL回路は、ジッタ低減のため位相比較回路の不感帯を小さくするとともに、チャージポンプ回路の入力パルス幅に対する出力電圧特性である相互コンダクタンスgmを小さく設定しているため、ロック時間の短縮が困難であるという欠点があった。

【0018】ジッタ低減とロック時間の短縮の両立を図るため、入力基準信号と帰還信号の位相及び周波数を比較して、位相差が所定の値より大きく、周波数差が所定の値以下の場合にチャージポンプ回路の動作を停止させることにより、ロック速度を高速化した従来の第2のPLL回路は、チャージポンプ回路制御用の周波数比較部や周波数差判定部及び判定制御部等が新たに必要であり、ハードウェア規模が大きくなるという欠点があった。

【0019】さらに、比較的デッドゾーンの大きい位相比較回路を複数個並列使用することによりジッタを低減し高精度化を図った従来の第3PLL回路は、位相比較回路1個の場合よりジッタの低減は達成できるものの、ロック時間の短縮については期待できないという欠点があった。

【0020】本発明の目的は、上記欠点を解消し、ロック時間を短縮すると共にジッタを低減し、さらにハードウェア規模の増大を抑制したPLL回路を提供することにある。

【0021】

【課題を解決するための手段】本発明のPLL回路は、基準信号と発振信号を第1の分周比で分周した第1の帰還信号の位相とを比較してこれら両者の位相差である第1の位相差に応じた第1の比較信号を出力する第1の位相比較手段と、前記基準信号を所定数倍に逡倍した逡倍基準信号と前記発振信号を前記第1の分周比より小さい第2の分周比で分周し前記逡倍基準信号とほぼ同一周波数の第2の帰還信号の位相とを比較してこれら両者の位相差である第2の位相差に応じた第2の比較信号を出力する第2の位相比較手段と、前記第1の比較信号をそのレベル及び極性に応じた第1の直流信号に変換する第1の直流変換手段と、前記第2の比較信号をそのレベル及び極性に応じた第2の直流信号に変換する第2の直流変換手段と、前記第1及び第2の直流信号を加算及び積分して発振制御信号を出力する加算積分手段と、前記発振制御信号のレベルに応じて発振周波数が制御され前記発振信号を出力する電圧制御発振回路と、前記発振信号を前記第1及び第2の分周比でそれぞれ分周して前記第1及び第2の帰還信号を出力する分周手段と、前記基準信号を逡倍して前記逡倍基準信号を出力する逡倍手段とを備えて構成されている。

【0022】

【発明の実施の形態】次に、本発明の実施の形態を図11と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図1を参照すると、この図に示す本実施の形態のPLL回路は、従来と共通のチャージポンプ信号PC1、PC2を平滑化して発振制御信号COを出力する低域通過フィルタ(LPF)3と、発振制御信号COにより周波数が制御され発振信号POを出力する電圧制御発振器(VCO)4とに加えて、逡倍基準信

号RMと帰還信号DMとを位相周波数比較し比較結果に対応する比較信号UP2/DN2を出力しデッドゾーンが狭い位相比較回路(PFD)1Aと、比較信号UP2/DN2の供給にตอบสนองしてチャージポンプ信号PC2を出力するチャージポンプ回路(CP)2Aと、基準信号Rと帰還信号Dとを位相周波数比較し比較結果に対応する比較信号UP1/DN1を出力しデッドゾーンが位相比較回路1より広い位相比較回路(PFD)11と、比較信号UP1/DN1の供給にตอบสนองしてチャージポンプ信号PC1を出力するチャージポンプ回路(CP)12と、発振信号POを所定分周比Nで分周し帰還信号Dと逡倍基準信号RMと等しい途中の分周信号である中間帰還信号DMを出力する分周回路(DIV)5Aと、基準信号Rを所定逡倍Mの逡倍を行い逡倍基準信号RMを出力する逡倍回路6とを備える。

【0023】位相比較回路1A、11を代表して位相比較回路1Aの構成例をブロックで示す図2を参照すると、この図で示す位相比較回路1Aは、一方の入力に基準信号Rの他方の入力に信号Uの各々の供給を受ける2入力のNAND回路A1と、相互に入力の一方を他方の論理回路出力とたすき掛け接続し入力の他方にNAND回路A1の出力及び信号Wの各々を入力する2入力のNAND回路A2、A3と、一方の入力に帰還信号Dの他方の入力に信号DDの各々の供給を受ける2入力のNAND回路A6と、相互に入力の一方を他方の論理回路出力とたすき掛け接続し入力の他方にNAND回路A6の出力及び信号Wの各々を入力する2入力のNAND回路A5、A4と、NAND回路A1の出力を逡延する逡延回路D1と、NAND回路A6の出力を逡延する逡延回路D2と、逡延回路D1の出力とNAND回路A2の出力と信号Wとを入力とし信号Uを出力する3入力のNAND回路A7と、逡延回路D2の出力とNAND回路A5の出力と信号Wとを入力とし信号DDを出力する3入力のNAND回路A8と、NAND回路A1、A2、A5、A6の出力を入力とし信号Wを出力する4入力のNAND回路A9と、信号Uを2回反転して信号UPを出力する直列接続したインバータI1、I2と、信号DDを反転して信号DNを出力するインバータI3とを備える。

【0024】位相比較回路11の動作について説明すると、NAND回路A1～A3は基準信号Rの立ち下がりエッジでセットされ信号Wの立ち下がりエッジでリセットされるフリップフロップを構成し、NAND回路A4～A6は帰還信号Dの立ち下がりエッジでセットされ信号Wの立ち下がりエッジでリセットされるフリップフロップを構成する。これらフリップフロップの各々の出力(NAND回路A2、A5の出力)はNAND回路A9に供給される。NAND回路A9はこれら、すなわち、基準信号R及び帰還信号Dの各々の立ち下がりエッジ対応のフリップフロップの各々の出力及びNAND回路A

1, A6のいずれかがLレベルとなったときHレベルの信号Wを出力し、全てがHレベルのときのみ信号WをLレベルとする。

【0025】このようにして、基準信号R及び帰還信号Dの各々の立ち下がりエッジを比較して、基準信号Rの立ち下がりエッジに対する帰還信号Dの立ち下がりエッジの進み／遅れを検出する。この検出した進み／遅れの分のパルス幅のUP1信号/DN1信号を生成する。この位相比較回路中に遅延素子D1, D2を挿入することにより、信号R, Dの立ち下がりエッジの進み／遅れを検出しない不感期間すなわちデッドゾーンを生成・調整することが可能である。

【0026】チャージポンプ回路12, 2Aの各々の構成例を回路図で示す図3(A), (B)を参照すると、図3(A)で示すチャージポンプ回路12は、ソースを電源VDに接続しゲートに比較信号UP1の供給を受け大サイズすなわち相互コンダクタンスgmが大きいPチャンネル型のトランジスタP11と、ドレインをトランジスタP11のドレインにソースを接地にそれぞれ接続しゲートに比較信号DN1の供給を受けトランジスタP11と同一サイズすなわち大相互コンダクタンスgmのNチャンネル型のトランジスタN11とを備え、これらトランジスタP11, N11のドレイン共通接続点からチャージポンプ信号PC1を出力する。

【0027】図3(B)で示すチャージポンプ回路2Aは、ソースを電源VDに接続しゲートに比較信号UP2の供給を受け小サイズすなわち相互コンダクタンスgmが小さいPチャンネル型のトランジスタP21と、ドレインをトランジスタP21のドレインにソースを接地にそれぞれ接続しゲートに比較信号DN2の供給を受けトランジスタP11と同一サイズすなわち大相互コンダクタンスgmのNチャンネル型のトランジスタN21とを備え、これらトランジスタP21, N21のドレイン共通接続点からチャージポンプ信号PC2を出力する。

【0028】LPF3の構成例を回路図で示す図4を参照すると、この図で示すLPF3は、一端にチャージポンプ信号PC1/PC2の供給を受ける抵抗R1と、一端を抵抗R1の他端に他端を接地にそれぞれ接続したコンデンサC1とを備える。

【0029】チャージポンプ回路12及びLPF3の動作について説明すると、チャージポンプ回路12は、位相比較回路11から出力される比較信号UP1/DN1により駆動される。入力信号が比較信号UP1の場合は、この信号UP1のアクティブ期間にトランジスタP11を導通状態とし、正のチャージポンプ信号PCを生成し、LPF3のコンデンサC1をチャージアップ(充電)する。逆に、比較信号DN1の場合は、この信号DN1のアクティブ期間にトランジスタN11を導通状態とし、負のチャージポンプ信号PCを生成し、LPF3のコンデンサC1をチャージダウン(放電)する。LP

F3は上記充放電を抵抗R1とコンデンサC1とで決まる時定数で行うことによりチャージポンプ信号PC1を積分して、制御信号COを出力する。

【0030】このチャージポンプ回路12は、トランジスタP11, N11のサイズすなわちgmを調整することにより比較信号UP1/DN1の単位パルス幅当たりの導通電流を変更することが可能である。

【0031】VCO4は、制御信号COの電圧により出力発振信号POの発振周波数を変化する。本実施の形態では、説明の便宜上、制御信号COの電圧上昇にしたがい発振信号POの発振周波数が増加するものとする。

【0032】次に、図1, 図2, 図3, 図4及び帰還信号Dが基準信号Rより遅れている場合の各部波形をタイムチャートで示す図5を参照して本実施の形態の動作について説明すると、まず、位相差が大きく帰還信号Dが入力基準信号Rに対して、位相比較回路11及び位相比較回路1Aの各々の設定デッドゾーン以上に遅れている場合(図5(A))、位相比較回路11は入力基準信号Rの立ち下がりA点から帰還信号Dの立ち下がりB点までの遅れを検出して比較信号UP1(E点)を出力する。同様に位相比較回路1Aは通倍基準信号RMの立ち下がりC点から分周回路4からの中間帰還信号DMの立ち下がりD点までの遅れを検出して比較信号UP2(F点)を出力する。

【0033】この場合、位相比較回路11, 1Aは比較信号UP1, UP2を共に出力し、それぞれ対応するチャージポンプ回路12, 2Aに供給するので、これらチャージポンプ回路12, 2Aの各々の出力チャージポンプ信号PC1, PC2はLPF3で加算され、急速にコンデンサC1を充電することにより、制御信号COを急速に立ち上がらせる(G点)。

【0034】次に、位相差が小さく帰還信号Dが入力基準信号Rに対して位相比較回路11の設定デッドゾーン以下であり、位相比較回路1Aの設定デッドゾーン以上の遅れの場合(図5(B))、位相比較回路11は動作せず、比較信号UP1はHレベルを保持している。位相比較回路1Aは、通倍基準信号RMの立ち下がりH点から中間帰還信号DMの立ち下がりI点までの遅れを検出して対応の比較信号UP2(J点)を出力する。

【0035】この場合、位相比較回路1Aに対応するチャージポンプ回路2のみのチャージポンプ信号PC2により、LPF3のコンデンサC1を充電するため、制御信号COは緩やかに立ち上がる(K点)。さらに、位相差が小さく帰還信号Dが入力基準信号Rに対して位相比較回路11及び位相比較回路1Aの各々の設定デッドゾーン以下の遅れの場合は、PLLはロック状態となり、位相比較回路11及び位相比較回路1Aの両方とも動作せずこれらの出力比較信号UP1, UP2はHレベル状態を保持する。

【0036】また、上述の帰還信号Dが入力基準信号に

対して遅れている場合の動作と反対に、帰還信号Dが入力基準信号Rに対して進んでいる場合は、位相比較回路11及び位相比較回路1Aの各々は、比較信号UP1、UP2に代わり比較信号DN1、DN2を出力し、それぞれ対応するチャージポンプ回路12、2Aに供給するので、チャージポンプ回路12、2Aはこれら比較信号DN1、DN2の供給にตอบสนองして負のチャージポンプ信号PC1、PC2を出力し、LPF3のコンデンサC1を放電させる。これにより、制御信号COのレベルを低下させる。

【0037】以上述べたように、本実施の形態では、基準信号と帰還信号の位相差が大きい場合には、デッドゾーンが異なる2つの位相比較回路の出力する比較信号対応のチャージポンプ信号を加算してロック時間を短縮すると共に、両者の位相差が小さいロック状態では、デッドゾーンが小さい方の位相比較回路に対し基準信号より高周波の通倍基準信号を使うことによって、ジッタを従来より小さくしている。

【0038】通倍基準信号RMの通倍数を2とした場合の本実施の形態の全体動作を従来と比較してタイムチャートで示す図6を参照すると、図6(A)に示す本実施の形態の位相比較回路1Aの比較信号UP2は通倍基準信号RM毎、すなわち基準信号Rの半周期毎に出力し、対応するチャージポンプ信号PCの変動幅Aは図示のように小振幅となる。一方、図6(B)に示す従来の位相比較回路1は基準信号R毎に比較信号UPを出力するので、対応するチャージポンプ信号PCの変動幅Bは図示のように大振幅となり、その分ジッタが増大する。

【0039】また、本実施の形態では、基本構成を変えずに遅延素子D1、D2の遅延時間を変えるだけで、デッドゾーンの異なる2個の位相比較回路1A、11を構成することが可能である。したがって、設計期間は基本的なPLLの設計期間に対し殆ど変わらない程度に短縮することができる。

【0040】次に、本発明の第2の実施の形態を図1と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図7を参照すると、この図に示す本実施の形態の前述の第1の実施の形態との相違点は、通倍基準信号の通倍数を2通倍とし分周数を4分周とした場合の構成例であり、したがって、通倍回路6の代わりに通倍回路6Aを、分周回路5Aの代わりに4分周の分周回路5Bを備えることである。

【0041】通倍回路6Aは、遅延器61と基準信号Rと遅延器61の出力信号である遅延信号DRとの排他的論理和演算し通倍基準信号RMを出力するEXOR回路E61とを備える。

【0042】分周回路5Bは、発振信号POに同期して動作し発振信号POを2分周し2分周信号D2を出力するフリップフロップF51と、発振信号POに同期して動作し2分周信号D2をさらに2分周して帰還信号Dを

出力するフリップフロップF52と、2分周信号D2を反転して中間帰還信号DMを出力するインバータI51とを備える。

【0043】図7及び各部波形をタイムチャートで示す図8を参照すると、本実施の形態の動作は、通倍数及び分周数の各々を具体的に2及び4とし、これにより必要とする通倍基準信号RM及び中間帰還信号DMの生成及び基準信号Rと通倍基準信号RMとの相互間及び帰還信号Dと中間帰還信号DMとの相互間の位相合わせの機能をそれぞれ通倍回路6A及び分周回路5Bで行うほかは第1の実施の形態と同様であるので、説明を省略する。

【0044】次に、本発明の第3の実施の形態を特徴付ける位相比較回路1Bを図2と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図9を参照すると、この図に示す本実施の形態の位相比較回路1Bの第1の実施の形態の位相比較回路1Aとの相違点はデッドゾーン生成用の2つの遅延回路D1、D2の代わりにNAND回路A9の出力を遅延して信号Wを出力する1つの遅延回路D3を備えることである。

【0045】動作については第1の実施の形態と同様である。

【0046】次に、本発明の第4の実施の形態を特徴付けるチャージポンプ回路2Bを図3と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図10を参照すると、この図に示す本実施の形態のチャージポンプ回路2Bの第1の実施の形態のチャージポンプ回路2A、12との相違点は、2つのチャージポンプ回路2A、12の各々の能動素子であるトランジスタP11、N11、P21、N21に加えて、ソースを接地に接続しゲートに制御電圧CCの供給を受けるNチャンネル型のトランジスタN31と、ソースを接地にドレインをトランジスタN21、N21のソースにそれぞれ接続しゲートに制御電圧CCの供給を受けるNチャンネル型のトランジスタN32と、ソースを電源にドレインをゲートとトランジスタN31のドレインにそれぞれ接続したPチャンネル型のトランジスタP31と、ソースを電源にドレインをトランジスタP11、P21の各々のソースにゲートをトランジスタP31のゲートにそれぞれ接続したPチャンネル型のトランジスタP32とを備え、これらトランジスタP31、P32、N31、N32がトランジスタP11、N11、P21、N21に電流を供給する制御用電流源を構成することである。

【0047】これにより、単位比較信号パルス幅当たりのチャージポンプ信号PC、すなわち、制御信号COの正確な調整が容易となる。また、制御回路のトランジスタP31、P32、N31、N32を変更せずに、チャージポンプ回路12、2Aの各々のトランジスタP11、N11及びトランジスタP21、N21のgmを変更することにより、gmが異なる2個のチャージポンプ回路12、2Aを作成できる。したがって、設計期間を

短縮することができる。

【0048】

【発明の効果】以上説明したように、本発明のPLL回路は、基準信号と第1の帰還信号の位相を比較して第1の比較信号を出力する第1の位相比較手段と、通倍基準信号と第2の帰還信号の位相と比較して第2の比較信号を出力する第2の位相比較手段と、第1の比較信号を第1の直流信号に変換する第1の直流変換手段と、第2の比較信号を第2の直流信号に変換する第2の直流変換手段と、発振信号を第1及び第2の分周比でそれぞれ分周して第1及び第2の帰還信号を出力する分周手段と、基準信号を通倍して通倍基準信号を出力する通倍手段とを備え、基準信号と帰還信号の位相差が大きい場合には、デッドゾーンが異なる2つの位相比較回路の出力する比較信号対応のチャージポンプ信号を加算してロック時間を短縮すると共に、両者の位相差が小さいロック状態では、デッドゾーンが小さい方の位相比較回路に対し基準信号より高周波の通倍基準信号を使うことによって、ジッタを小さくできるという効果がある。

【0049】また、所要の2つの位相比較回路ではデッドゾーンの相違に対応する遅延回路の変更以外は同一の基本構成を用いるので、基本的なPLL回路に対する設計期間の増加が少なく済むという効果がある。

【図面の簡単な説明】

【図1】本発明のPLL回路の第1の実施の形態を示すブロック図である。

【図2】図1の位相比較回路の構成を示すブロック図である。

【図3】図1のチャージポンプ回路の構成を示すブロック図である。

【図4】図1のLPFの構成を示すブロック図である。

【図5】本実施の形態のPLL回路における動作の一例を示すタイムチャートである。

【図6】本実施の形態のPLL回路の全体動作を従来と比較して示すタイムチャートである。

【図7】本発明のPLL回路の第2の実施の形態を示す

ブロック図である。

【図8】本実施の形態のPLL回路における動作の一例を示すタイムチャートである。

【図9】本発明のPLL回路の第3の実施の形態を特徴付ける位相比較回路の構成を示すブロック図である。

【図10】本発明のPLL回路の第4の実施の形態を特徴付けるチャージポンプ回路の構成を示すブロック図である。

【図11】従来の第1のPLL回路の一例を示すブロック図である。

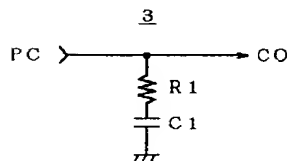
【図12】従来の第1のPLL回路における動作の一例を示すタイムチャートである。

【図13】従来の第2のPLL回路の一例を示すブロック図である。

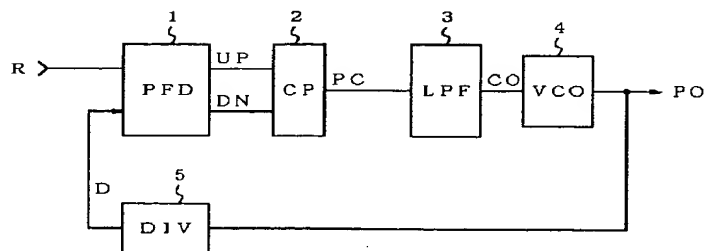
【符号の説明】

- 1, 1A, 1B, 11 位相比較回路 (PFD)
- 2, 2A, 2B, 12 チャージポンプ回路 (CP)
- 3 低域通過フィルタ (LPF)
- 4 電圧制御発振器 (VCO)
- 5, 5A, 5B 分周回路 (DIV)
- 6, 6A 通倍回路
- 61 遅延器
- 101, 102 周波数比較部
- 103, 104 周波数差検出部
- 105 基準分周器
- 106 判定制御回路
- A1~A9 NAND回路
- C1 コンデンサ
- D1~D3 遅延回路
- E61 EXOR回路
- F51, F52 フリップフロップ
- I1~I3, I51 インバータ
- P11, P21, P31, N11, N21, N31 トランジスタ
- R1 抵抗

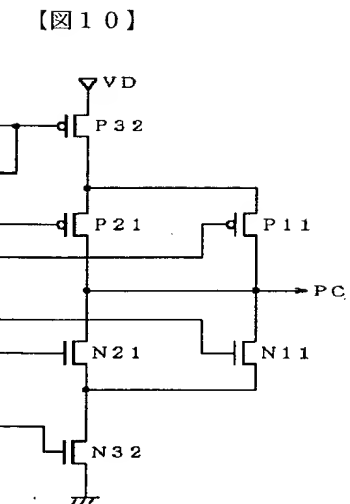
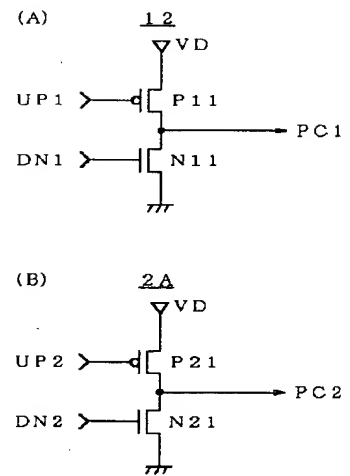
【図4】



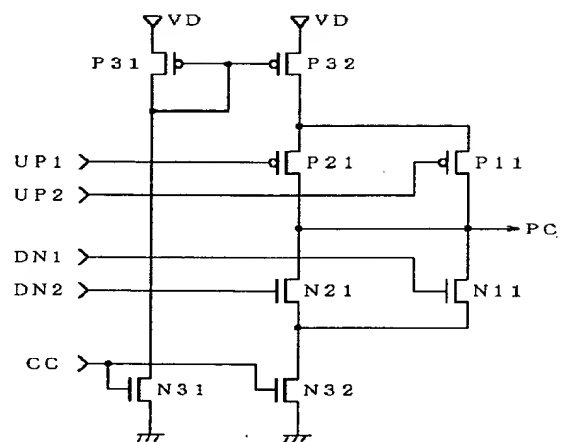
【図11】



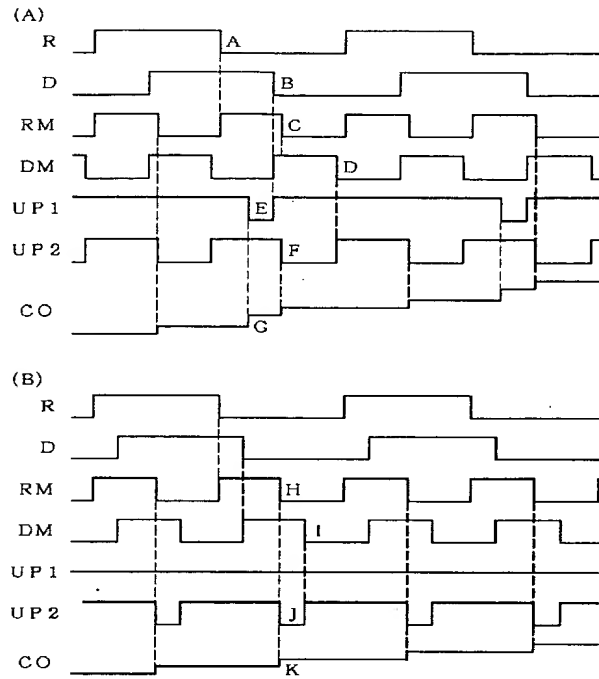
【図 3】



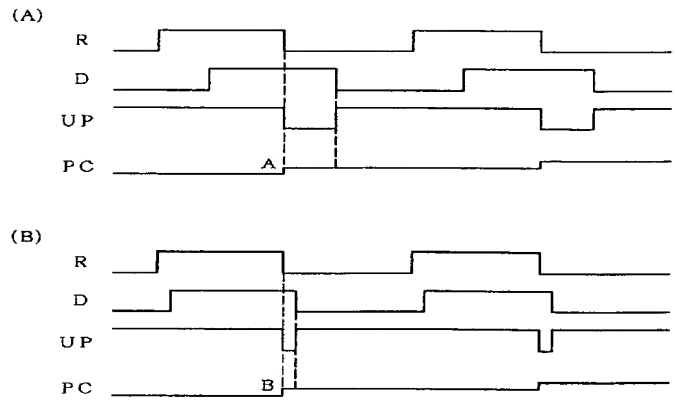
【図 10】



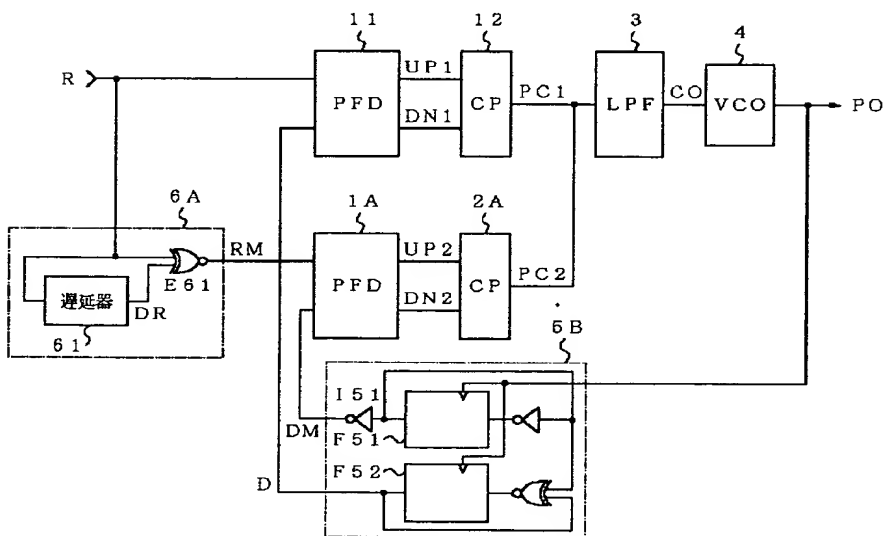
【図 5】



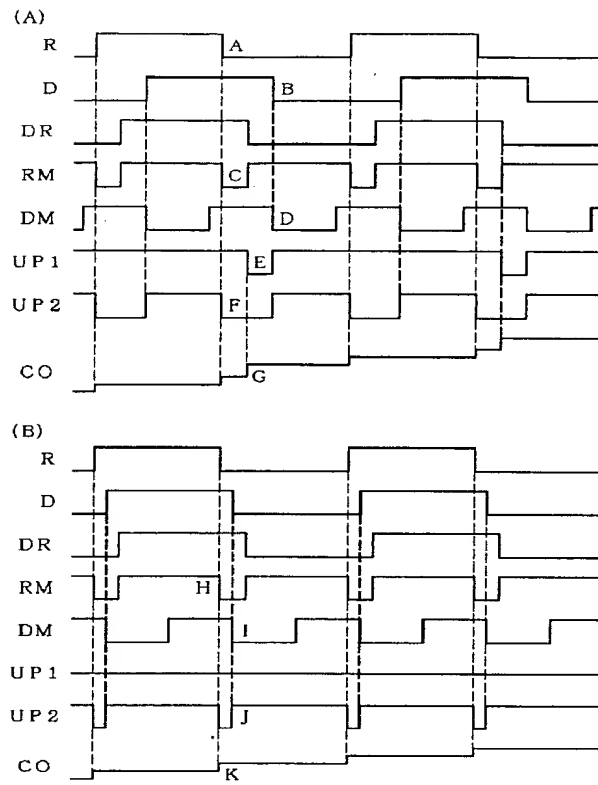
【図 12】



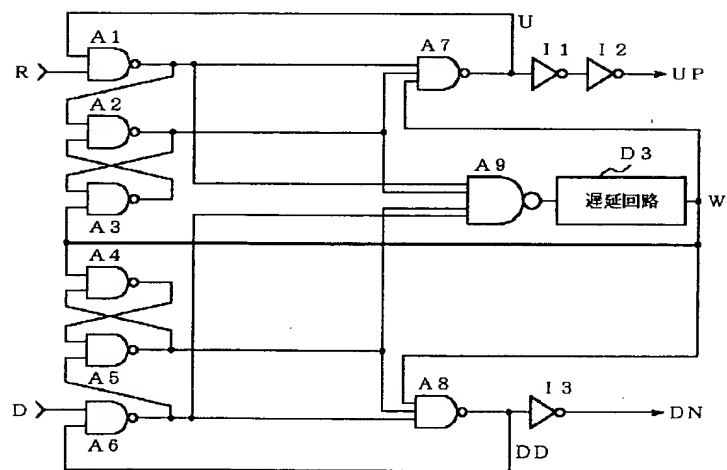
【図 7】



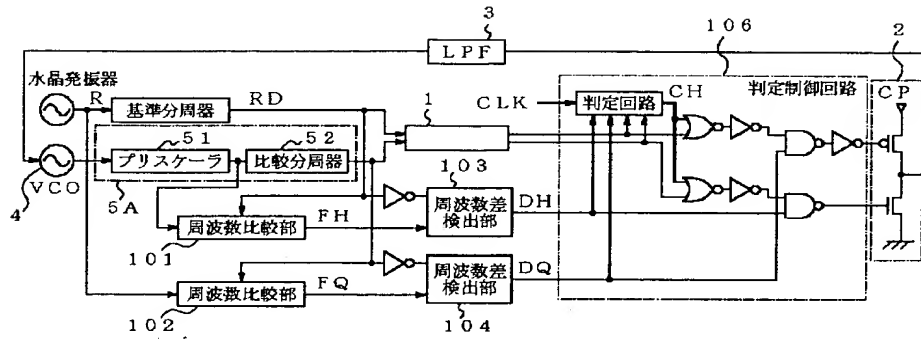
【図 8】



【図 9】



【図 13】



フロントページの続き

Fターム(参考) 5J060 AA04 BB03 CC01 CC24 CC26
 CC30 CC52 CC54 CC58 DD13
 DD32 DD43 DD47 FF06 KK03
 KK25 LL02